

## ALGAINN SEMICONDUCTOR LED

**Patent number:** KR20020079659 (A)  
**Publication date:** 2002-10-19  
**Inventor(s):** YOO TAE GYEONG [KR]  
**Applicant(s):** EPIVALLEY CO LTD [KR]  
**Classification:**  
- international: **H01L33/00; H01L33/00;** (IPC1-7): H01L33/00  
- european:  
**Application number:** KR20020053653 20020905  
**Priority number(s):** KR20020053653 20020905

### Abstract of KR 20020079659 (A)

**PURPOSE:** An AlGaInN semiconductor LED is provided to improve external quantum efficiency by forming n-InGaN layer on p-GaN and etching a predetermined portion of n-InGaN to make prominence and depression so that the light limited by the critical angle can be extracted.  
**CONSTITUTION:** A buffer layer(21), an n-GaN layer(22), an InGaN/GaN active layer(23), a p-GaN layer(24) and an n-InGaN crystal layer(25) are formed on an upper surface of a substrate(20) in a consecutive order. An ohmic contact electrode(27) is formed on the depressed surface after a predetermined portion of the upper surface of the n-InGaN crystal layer is etched. A p-type electrode pad(28) and an n-type electrode(26) are deposited on the transparent electrode for electrical connection to the external.

\*\*\*\*\*  
Data supplied from the **esp@cenet** database — Worldwide

( 19) 대한민국특허청(KR)  
( 12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 33/00

(11) 공개번호 특2002- 0079659  
(43) 공개일자 2002년10월19일

(21) 출원번호 10- 2002- 0053653  
(22) 출원일자 2002년09월05일

(71) 출원인 에피밸리 주식회사  
경기 광주군 오포면 능평리 51- 2  
(72) 발명자 유태경  
경기도용인시수자읍중덕천리713동보아파트101- 1007

심사청구 : 있음

(54) 질화갈륨계 반도체 엘이디 소자

요약

본 발명은 AlGaInN LED 소자를 형성함에 있어서 활성층에서 발생된 빛을 효과적으로 외부로 끌어내어 외부 양자효율을 최대화한 LED 구조에 관한 것이다.

AlGaInN 계 LED에 있어서 P- GaN 상에 고전자 농도의 n - In<sub>x</sub>Ga<sub>1-x</sub>N 층을 성장하고 부분적으로 식각하여 요철을 형성하고 남은 요철의 하단면에 오믹 접촉층 투명 전극을 형성함으로써, 전류 확산층 투명 전극의 사용을 최소화하여 외부 양자 효율을 극대화 하고, 또한 n 층의 표면을 요철형상을 이용하여 LED 상측부로 탈출하는 빛의 입계각을 조절 하여 외부 양자 효율을 최대화한 것을 특징으로 하는 n - p - n 형 LED 구조다.

대표도  
도 3

색인어  
AlGaInN, LED, 양자 효율

명세서

도면의 간단한 설명

도 1은 종래 GaN계 반도체 광 소자의 구조를 도시한 단면도.

도 2는 GaN 층에서 빛의 탈출 입계각을 설명하는 그림.

도 3는 본 발명에 따른 AlGaInN 반도체 광 소자의 구조를 도시한 단면도.

도 4은 본 발명에 의한 n 층의 구조를 설명하는 세부 단면도.

도 5는 본 발명에 의한 n 층과 p 층의 동작 원리를 설명하는 에너지 밴드 다이어그램.

〈 도면의 주요 부분에 대한 부호의 설명 〉

10, 20. 기판 11, 21. 버퍼층

12, 22. n - GaN 층 13, 23. InGaIn/GaN 활성층

14, 24, 34. p - GaN층 15, 27, 37. 투명전극

25, 35. n InGaIn층 16, 26. n형 금속전극

17, 28. p 형 금속 전극 39. 광 경로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 AlGaInN 반도체 LED 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 p- GaN 상에 n In<sub>x</sub>Ga<sub>1-x</sub>N 층을 형성하고 n 층의 일부를 식각하여 오차를 형성하고 남은 오차의 하단면에 전극을 형성하고, n 층 표면을 오차형상의 모양으로 만들어 외부 양자 효율을 획기적으로 개선한 질화갈륨계 반도체 소자의 구조에 관한 것이다.

일반적으로 GaN계 LED(Light Emitting Diode) 광 소자는, 첨부 도면 도 1에 도시된 바와 같이, 사파이어 기판(10) 상에 buffer층(11), n형 GaN 층(12), InGaIn/GaN 활성층(13), p형 GaN층(14), 전면의 투명전극(15), n형 금속전극(16) 및 p형 금속전극(17)으로 구성되는 것으로서, 상기 사파이어기판(10) 상에 buffer층(11), n형 GaN 층(12), InGaIn/GaN 활성층(13) 및 p형 GaN층(14)을 순차적으로 결정 성장 한 후, n형 금속전극(16)의 형성을 위해 일부분을 상기 n형 GaN층(12)까지 식각(etching)하고, p- 형 GaN 전면에 투명 전극(15)을 형성한 다음, n형 금속전극(17) 및 p형 금속전극(18)을 중첩함으로써 형성된다.

도 1에서 보이듯이 기존의 LED에는 p- GaN의 저항율이 매우 높으므로 전류 확산을 용이하게 하기 위해서 NiAu 등과 같은 다양한 종류의 투명 오막 전극(15)을 채용하고 있다. 이러한 투명전극은 일반적으로 수 nm에서 수십 nm 두께를 가지는데 두께를 늘리면 p- GaN 층의 횡 방향 직렬저항이 줄어드는 효과가 있지만 금속 전극의 광투과율이 낮아져서 상층으로 방출되는 빛이 줄어들게 되어 외부 양자효율이 감소하게 된다. 투명 전극의 투과율은 두께 및 굴절의 변화도에 따라 보통 60 ~ 80% 정도를 가진다. 이 경우 상층으로 방출되어야 할 빛의 20% ~ 40%는 chip 위로 방출되지 못하는 단점이 있다.

또한 LED의 광효율은 내부 양자 효율과 외부 양자 효율로 나누어지며 내부 양자 효율은 활성층의 설계나 품질에 따라서 결정된다. 외부 양자 효율의 경우 활성층에서 발생된 빛이 chip의 외부로 나오는 정도에 따라서 결정된다. 일정한 굴절율을 가진 GaN 물질이나 sapphire의 경우 굴절율이 1인 공기중으로 빛이 나오기 위해서는 임계각을 넘어야 한다. 도 2는 굴절율이 서로 다른 GaN과 공기 또는 수지사이에서 각 물질의 굴절율에 따른 굴절각을 보았다. 그림에서 보듯이 탈출각  $\theta_c = 90^\circ$ 인 임계각  $\theta_c = \sin^{-1}(n_{\text{low}}/n_{\text{high}})$ 로 표시되고 GaN에서 chip의 상측 공기중으로 빛이 진행할 때 임계각은 약 23.6도가 된다. 그 이상의 각도로 발생하는 빛은 chip의 내부로 다시 돌아가게 되고 빛이 chip 내부에 가두어 지게 되고 epi 층 내부 또는 사파이어 wafer 내에서 흡수가 되어 외부 양자효율은 급격히 떨어지게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 p- GaN 상에  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  층을 형성하고 n InGaN 층의 일부를 식각하여 오차를 형성하며 오차의 하단면에 n형 투명 오믹 전극을 형성하고 n 층 표면에 생긴 모양을 이용하여 임계각에 제한되는 빛을 외부로 추출하여 외부 양자 효율을 획기적으로 개선한 질화 갈륨계 반도체 엘디소자의 구조에 관한 것이다.

#### 발명의 구성 및 작용

이와 같은 목적을 달성하기 위해서 본 발명에 따른 질화 갈륨계 반도체 소자는 n- p- n 접합 다이오드 구조를 갖는 GaN계 반도체 소자에서, 기존 반도체 LED 소자의 맨 위층인 p- GaN 층 상측에 소정의 두께를 갖는 n 형 InGaN/GaN 결정층을 형성하고 n 층의 일부를 가공하여 n 층 상에 오목형 전극을 형성하고 표면을 울퉁불퉁하게 하여 외부 양자효율을 획기적으로 개선한 구조를 가진 것을 특징으로 한다.

본 발명에 의한 LED 소자를 첨부 도면에 의거 상세히 설명하면 다음과 같다.

첨부된 도면 도 3은 본 발명에 따른 반도체 광 소자의 구조를 도시한 단면도이다.

도 3에 도시된 바와 같이, 본 발명은 기존의 p- n형 구조와는 달리 n- p- n 다이오드 구조의 GaN계 반도체 광소자로서, 기판(20) 위에 버퍼층(21), n- GaN층(22), InGaN/GaN 활성층(23), p- GaN 층(24),  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  결정층(25)을 순차적으로 형성한 후 상기  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  층(25) 상부 표면의 n 층의 일부를 식각하고, 소정의 두께가 되도록 n 층의 일부를 남기는데, 소정의 두께로 남게 되는 n 층은 n 층상에 형성되는 n- 오믹 접촉형 금속과 n 층 아래의 얇게 구성된 n 상에 오믹 접촉형 투명 전극(27)을 형성하고 투명 전극상에 외부로의 전기적 연결을 위한 p- 형 전극 패드(28)를 형성하고 n 층의 일부와 p층의 일부, 그리고 활성층의 일부를 식각하고 n- GaN 층 상에 n- 형 전극(26)을 형성한다.

상기  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 결정층(25)은  $1.0 \text{ nm} \leq t \leq 10,000 \text{ nm}$  정도의 두께로 성장되며, n 도핑 농도는  $10^{17}/\text{cm}^3 < n < 10^{23}/\text{cm}^3$ 으로 구성한다.

도 4는 얇게 구성된 n 상에 오믹 접촉형 투명 전극(27)을 형성한 후의 세부 단면도를 보이고 있다. n 층의 일부를 식각하여 표면을 오목 형상으로 만들어 활성층에서 방출된 빛의 광 탈출 유효각도를 키움으로써 외부 양자효율을 개선할 수 있음을 보이고 있다.

도 5는 도 3의 B - B' 단면에서의 에너지 밴드 다이어그램을 보이고 있는데  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층과 금속 전극 그리고 p 층이 구성하는 터널 접합의 원리를 설명하고 있다. 금속 전극에 (+) 전압을 공급할 경우 홀(hole)이 터널 현상에 의해 p GaN 층으로 진행하기 위해서 얇은  $n\text{-In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층이 형성된 구조를 보이고 있다.

상기된 바와 같이 본 발명은 외부 양자효율을 획기적으로 개선한 새로운 구조의 반도체 소자이다. 도 2에서 보이듯이 60 ~ 80% 정도를 가지는 투명 전극의 면적을 최소화 하여 chip 상측면으로의 광 방출 효율을 개선하는 구조를 가지고 있다. 또한 3도에서 보이듯이 chip의 표면을 오목 형상으로 만들어 활성층에서 방출된 빛의 광 탈출 유효각도를 키움으로써 외부 양자효율을 개선할 수 있음을 보이고 있다.

## 발명의 효과

상기한 바와 같이 이루어지는 본 발명에 의하면, p- GaN층 상부에  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층을 형성하고  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층의 일부를 소정의  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층이 남도록 식각하고, 얇게 남은  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층 위에 투명 금속 전극을 형성하여 투명 전극의 면적을 최소화하여 빛의 외부 방출을 최대화 하고, 터널 현상에 의해 n- 금속 전극에서 n 층을 통해서 p- GaN으로 hole이 공급되도록 하여 p- 층에 직접 오음 접착을 형성하는 것에 비해 낮은 동작 전압으로 구동되게 하여 소모 전력을 줄일 수 있고,  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층의 표면을 요철 형상으로 형성함으로써 빛의 탈출 임계각을 변형시켜 활성층에서 chip의 상부로 방출되는 빛의 양을 극대화 하여 외부 양자효율을 획기적으로 개선할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

n- p- n 접합 다이오드 구조를 갖는 GaN계 반도체 소자에 있어서,

반도체 소자의 맨 위층인 p- GaN층 상측의 상부에 n 층의  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층을 형성하고 n 층의 일부를 식각하여 소정의 n 층을 남기고, 얇게 남은  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 상에 투명 n- 오음 금속 접합을 형성하여 식각되지 않은  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층의 표면을 요철 형상으로 만들어 활성층에서 chip의 상부로 방출되는 빛의 양을 최대화 한 반도체 소자.

#### 청구항 2.

p 층 상부에 있는  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 의 In 조성 x는 활성층  $\text{In}_z\text{Ga}_{1-z}\text{N}$ 의 z보다 작게 구성되는 것, 즉  $x < z$ .

#### 청구항 3.

제 1항에 있어서, 상기  $n \text{ In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 결정층은 식각하기 전에 두께(h2)를 1.0 ~ 10,000 nm의 두께로 형성되는 것.

#### 청구항 4.

제 1항에 있어서, 식각되고 남은  $n \text{ InGaN}$  층(h1)은 0.5 ~ 100nm의 두께로 형성되는 것.

#### 청구항 5.

제 1항에 있어서,  $n \text{ InGaN}$ 의 도핑농도를  $10^{17} \sim 10^{23} / \text{cm}^3$ 으로 조성하는 것을 특징으로 하는 질화 갈륨계 LED 반도체 소자.

#### 청구항 6.

제 1항에 있어서, 요철의 폭(d1)은 100nm ~ 100,000nm로 형성되는 것.

#### 청구항 7.

제 1항에 있어서, 식각된 부분의 폭(d2)는 100nm ~ 100,000nm로 형성되는 것.

#### 청구항 8.

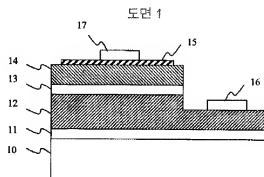
n- p- n 접합 다이오드 구조를 갖는 GaN계 반도체 소자에 있어서,

반도체 소자의 맨 위층인 p- GaN층 상측의 상부에 n 층의  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층을 형성하고, 다른 인듐 량을 가진 n 층의  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 층을 차례로 성장하고, 상층의 n  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 층의 일부를 선택적으로 식각하여 하층의 n  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층을 남기고, 얇게 남은 n  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 층에 투명 n- 오로 금속 접합을 형성하여 투명 전극의 면적을 최소화 하고, n  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 층의 표면을 요철 형상으로 하여 활성층에서 chip의 상부로 방출되는 빛의 양을 최대화 한 반도체 소자.

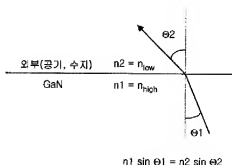
청구항 9.

제 8항에 있어서, 상층의 n  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 결정층은 1.0 ~ 10,000 nm의 두께로 형성되고, 하층의 n  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 층은 1.0 ~ 100nm의 두께로 형성되고, 두 가지의 n 층의 도핑농도를  $10^{17} \sim 10^{23} / \text{cm}^3$  으로 조성하는 것을 특징으로 하는 질화 갈륨계 LED 반도체 소자.

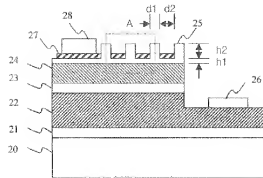
도면



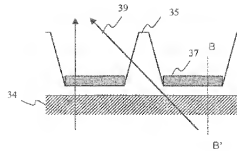
도면 2



도면 3



도면 4



도면 5

